

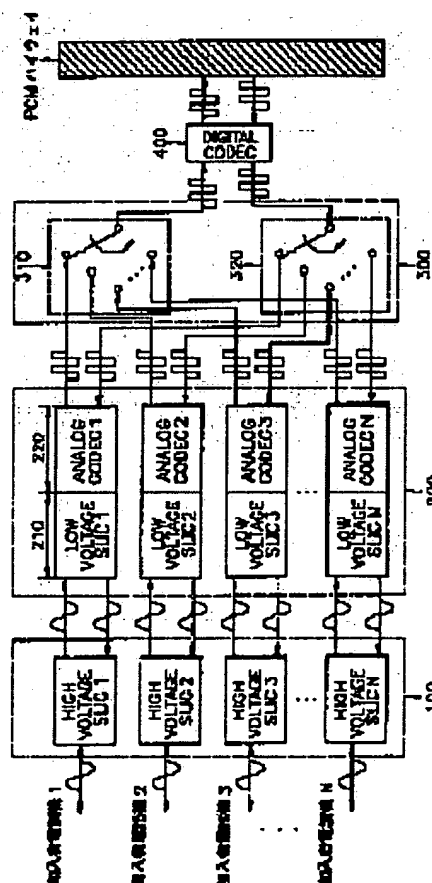
## SUBSCRIBER CIRCUIT FOR EXCHANGE

**Patent number:** JP6205452  
**Publication date:** 1994-07-22  
**Inventor:** LEE BANG-WON; HWANG KYUNG-WOON; KIM SANG-WOO  
**Applicant:** SAMSUNG ELECTRON CO LTD  
**Classification:**  
 - International: H04Q3/42; H04B14/04; H04B14/06  
 - european:  
**Application number:** JP19930271432 19931029  
**Priority number(s):**

### Abstract of JP6205452

**PURPOSE:** To highly integrate a circuit and to improve the reliability by dividing a subscriber circuit by characteristics of respective elements to form them on a semiconductor chip.

**CONSTITUTION:** An element which is to be an interface to a subscriber telephone set and is used with a high voltage as the operation power is formed in a bipolar process and is integrated in a first integrated circuit as a high voltage operation part 100. And an element which is to be an interface between the subscriber circuit and an exchange and is used with a voltage in the TTL level as the operation power is formed in a MOS process and is integrated in a second integrated circuit as a low voltage operation part 200. A codec is separated into an analog signal processing part and a digital signal processing part, and the analog part is integrated in the second integrated circuit as the low voltage operation part 200. The digital part is designed in a digital signal processing system and is integrated in a third integrated circuit as a digital codec 400, and a line concentration circuit 300 is provided between the second integrated circuit and the third integrated circuit to concentrate speech lines in a time division multiplexing systems.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-205452

(43)公開日 平成6年(1994)7月22日

(51)IntCl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 Q 3/42	1 0 4	9076-5K		
H 0 4 B 14/04	A	4101-5K		
14/06	Z	4101-5K		

審査請求 未請求 請求項の数34 (全 19 頁)

(21)出願番号 特願平5-271432

(22)出願日 平成5年(1993)10月29日

(31)優先権主張番号 1 9 9 2 P 2 0 3 4 4

(32)優先日 1992年10月31日

(33)優先権主張国 韓国(KR)

(71)出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72)発明者 李 芳遠

大韓民国京畿道光明市鐵山3洞住公アパート1305棟1105号

(72)発明者 黄 景雲

大韓民国仁川直轄市南東区間石1洞極東アパート6棟305号

(72)発明者 金 相宇

大韓民国ソウル特別市麻浦区玄石洞139-1ヨンウビーラダ棟202号

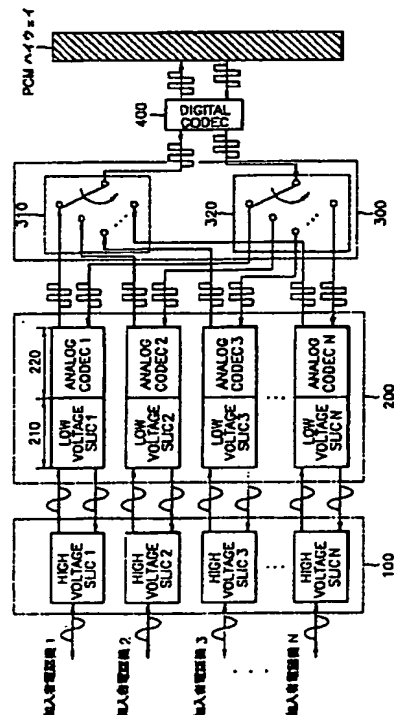
(74)代理人 弁理士 高月 猛

(54)【発明の名称】 交換機の加入者回路

(57)【要約】

【目的】 加入者回路を各素子の特性により区分して半導体チップに形成することで回路の高集積化、信頼性の向上を図る。

【構成】 加入者電話機とのインタフェースとなる高電圧を動作電源として使用する素子はバイポーラ工程で形成して高電圧動作部100として第1集積回路に集積し、加入者回路と交換機とのインタフェースとなるTTLレベルの電圧を動作電源として使用する素子はMOS工程で形成して低電圧動作部200として第2集積回路に集積する。また、コーデックをアナログ信号処理部分とデジタル信号処理部分とに分離して、アナログ部分は低電圧動作部200として第2集積回路に集積する。デジタル部分はデジタル信号処理方式で設計してデジタルコーデック400として第3集積回路に集積し、第2集積回路と第3集積回路との間に集線回路300を設けて時分割多重化方式で通話回線を集線する。



## 【特許請求の範囲】

【請求項 1】 多数の加入者回線を接続する交換機の加入者回路において、

多数の加入者回線とそれぞれ接続され、受信されるアナログ信号をデジタルデータに変換して出力する変換手段と、

前記デジタルデータを受信し、そのデジタルデータに含まれた量子化雑音を補償すると共に符号化してハイウェイに出力する符号化手段と、

変換手段と符号化手段との間に設けられ、加入者回路を制御する制御部に従って変換手段の出力をマルチプレキシングして符号化手段側に出力するようにして集線機能を遂行する多重化手段と、を備えていることを特徴とする加入者回路。

【請求項 2】 変換手段は、アナログ信号を受信して、サンプリング時に発生する信号のエイリアシングを防止するように濾波するフィルタと、このフィルタと接続され、濾波後の信号をサンプリング周波数の  $2^n$  倍の周波数でオーバーサンプリングしてデジタル変換する変調器と、を有してなる請求項 1 記載の加入者回路。

【請求項 3】 変調器は、スイッチトキャパシタを利用した積分器を 1 段以上備え、サンプリング周波数の  $2^n$  倍の周波数によってスイッチされてフィルタから受信される信号をオーバーサンプリングするサンプリング手段と、このサンプリング手段の出力を受信して所定のレベルと比較し、1 ビット分解能を有するパルス変調信号を発生する比較手段と、を有してなるアナログ  $\Sigma - \Delta$  変調器である請求項 2 記載の加入者回路。

【請求項 4】 符号化手段は、量子化されて受信されるデジタルデータの量子化雑音を除き、オーバーサンプリング周波数を低めるデシメータと、このデシメータの出力を受信し、デシメーション過程で発生する損失を補償する送信フィルタと、この送信フィルタの出力を受信して圧縮し、非線形の PCM データに符号化した後、ハイウェイに出力する圧縮器と、を有してなる請求項 2 記載の加入者回路。

【請求項 5】 圧縮器は、外部からの選択に応じて A 法則又は  $\mu$  法則が選択されるようにされ、その選択された法則に基づいて、受信されるデジタルデータのビット数を圧縮し、符号化された PCM データに変換して出力するようになっている請求項 4 記載の加入者回路。

【請求項 6】 多重化手段は、タイムメモリ構造をもったメモリを用いて構成される請求項 2 又は請求項 4 記載の加入者回路。

【請求項 7】 多数の加入者回線を接続する交換機の加入者回路において、

ハイウェイと接続され、そのハイウェイから受信される符号化されたデジタルデータをデジタル線形データに復号する復号手段と、

加入者回線とそれぞれ接続され、受信されるデジタル

線形データをアナログ信号に変換して加入者回線に提供  
する変換手段と、

復号手段と変換手段との間に設けられ、加入者回路を制御する制御部に従って復号手段の出力をデマルチプレキシングして対応する変換手段側に出力するようにして集線機能を遂行する多重化手段と、を備えていることを特徴とする加入者回路。

【請求項 8】 復号手段は、ハイウェイと接続され、そのハイウェイから受信される符号化されたデジタルデータを伸張してデジタル線形データに変換して出力する伸張器と、この伸張器からデジタル線形データを受信して損失を補償する受信フィルタと、この受信フィルタからデジタル線形データを受信し、そのサンプリング周波数を高める補間器と、この補間器からデジタル線形データを受信して変調し、1 ビットの変調信号に変換して出力するデジタル  $\Sigma - \Delta$  変調器と、を有してなる請求項 7 記載の加入者回路。

【請求項 9】 ハイウェイが PCM ハイウェイであり、伸張器は、外部からの選択に応じて A 法則又は  $\mu$  法則が選択されるようにされ、その選択された法則に基づいて、受信される PCM データのビット数を伸張してデジタル線形データに変換して出力するようになっている請求項 8 記載の加入者回路。

【請求項 10】 変換手段は、多重化手段の出力端と接続され、受信される信号に含まれた高周波成分を除いてアナログ信号に変換するフィルタを用いて構成されている請求項 8 記載の加入者回路。

【請求項 11】 多重化手段は、タイムメモリ構造をもったメモリを用いて構成される請求項 8 又は請求項 10 記載の加入者回路。

【請求項 12】 多数の加入者回線が接続される交換機の加入者回路において、

送信部は、加入者回線とそれぞれ接続され、受信されるアナログ信号をデジタルデータに変換して出力する第 1 変換手段と、前記デジタルデータを受信し、そのデジタルデータに含まれた量子化雑音を補償すると共に符号化してハイウェイに出力する符号化手段と、第 1 変換手段と符号化手段との間に設けられ、加入者回路を制御する制御部に従って第 1 変換手段の出力をマルチプレキシングして符号化手段側に出力するようにして集線機能を遂行する第 1 多重化手段と、を備えてなり、

受信部は、ハイウェイと接続され、そのハイウェイから受信される符号化されたデジタルデータをデジタル線形データに復号する復号手段と、加入者回線とそれぞれ接続され、受信されるデジタル線形データをアナログ信号に変換して加入者回線に提供する第 2 変換手段と、復号手段と第 2 変換手段との間に設けられ、加入者回路を制御する制御部に従って復号手段の出力をデマルチプレキシングして対応する第 2 変換手段側に出力するようにして集線機能を遂行する第 2 多重化手段と、を備

えてなることを特徴とする加入者回路。

【請求項 1 3】 第 1 変換手段は、アナログ信号を受信して、サンプリング時に発生する信号のエイリアシングを防止するように濾波するアンチエイリアシングフィルタと、このアンチエイリアシングフィルタと接続され、濾波後の信号をサンプリング周波数の  $2^n$  倍の周波数でオーバーサンプリングしてディジタル変換する第 1 変調器と、を有してなる請求項 1 2 記載の加入者回路。

【請求項 1 4】 第 1 変調器は、スイッチトキャパシタを利用した積分器を 1 段以上備え、サンプリング周波数の  $2^n$  倍の周波数によってスイッチングされてアンチエイリアシングフィルタから受信される信号をオーバーサンプリングするサンプリング手段と、このサンプリング手段の出力を受信して所定のレベルと比較し、1 ビット分解能を有するディジタル線形データを発生する比較手段と、を有してなるアナログ  $\Sigma - \Delta$  変調器である請求項 1 3 記載の加入者回路。

【請求項 1 5】 符号化手段は、量子化されて受信されるディジタル線形データの量子化雑音を除き、オーバーサンプリング周波数を低めるデシメータと、このデシメータの出力を受信し、デシメーション過程で発生する損失を補償する送信フィルタと、この送信フィルタからのディジタル線形データを圧縮して非線形の PCM データに符号化した後、ハイウェイに出力する圧縮器と、を有してなる請求項 1 3 記載の加入者回路。

【請求項 1 6】 圧縮器は、外部からの選択に応じて A 法則又は  $\mu$  法則が選択されるようにされ、その選択された法則に基づいて、受信されるディジタル線形データのビット数を圧縮し、符号化された PCM データに変換して出力するようになっている請求項 1 5 記載の加入者回路。

【請求項 1 7】 第 1 多重化手段は、タイムメモリ構造をもったメモリを用いて構成される請求項 1 3 又は請求項 1 5 記載の加入者回路。

【請求項 1 8】 復号手段は、ハイウェイと接続され、そのハイウェイから受信される符号化された非線形のディジタルデータを伸張し、ディジタル線形データに変換して出力する伸張器と、この伸張器からディジタル線形データを受信して損失を補償する受信フィルタと、この受信フィルタからディジタル線形データを受信し、そのサンプリング周波数を高める補間器と、この補間器からディジタル線形データを受信して変調し、1 ビットの変調信号に変換して出力する第 2 変調器と、を有してなる請求項 1 2 記載の加入者回路。

【請求項 1 9】 ハイウェイが PCM ハイウェイであり、伸張器は、外部からの選択に応じて A 法則又は  $\mu$  法則が選択されるようにされ、その選択された法則に基づいて、受信される非線形ディジタルデータの PCM データのビット数を伸張して、ディジタル線形データに変換して出力するようになっている請求項 1 8 記載の加入者

回路。

【請求項 2 0】 第 2 変換手段は、第 2 多重化手段の出力端と接続され、受信される信号に含まれた高周波成分を除いてアナログ信号に変換し、該当する加入者回線に出力するフィルタを用いて構成されている請求項 1 8 記載の加入者回路。

【請求項 2 1】 第 2 多重化手段は、タイムメモリ構造をもったメモリを用いて構成される請求項 1 8 又は請求項 2 0 記載の加入者回路。

【請求項 2 2】 多数の加入者回線が接続される交換機の加入者回路において、

加入者回線と接続され、高電圧を動作電源として加入者電話機とのインタフェース機能を遂行する高電圧用素子から構成され、その構成素子がバイポーラ工程により形成される高電圧動作部と、高電圧動作部と加入者回路の制御部との間に設けられ、低電圧を動作電源として高電圧動作部と加入者回路の制御部との間のインタフェース機能を遂行する低電圧用素子から構成され、その構成素子が MOS 工程によって形成される低電圧動作部と、を備え、

これら高電圧動作部と低電圧動作部とが、分離されて集積されていることを特徴とする加入者回路。

【請求項 2 3】 多数の加入者回線が接続される交換機の加入者回路において、

加入者回線と接続され、高電圧を動作電源として加入者電話機とのインタフェース機能を遂行する高電圧用素子で構成され、その構成素子がバイポーラ工程により形成される第 1 集積回路と、

第 1 集積回路と接続され、ディジタルレベルの電圧を動作電源として第 1 集積回路と交換機との間のインタフェース機能を遂行する素子で構成され、その構成素子が MOS 工程によって形成される第 2 集積回路と、

第 2 集積回路とハイウェイとの間に設けられ、ディジタル方式でデータを符号化及び復号する第 3 集積回路と、から構成されることを特徴とする加入者回路。

【請求項 2 4】 第 2 集積回路は、第 1 集積回路と加入者回路を制御する制御部との間のインタフェース機能のための素子から構成される素子部と、アナログ信号をディジタル線形データに変換して出力し、ディジタル線形データをアナログ信号に変換して出力する素子から構成されるアナログコーデック部と、から構成される請求項 2 3 記載の加入者回路。

【請求項 2 5】 アナログコーデック部は、送信側が、アナログ信号を受信し、サンプリング時に発生される信号のエイリアシングを防止するように濾波するフィルタと、このフィルタと接続され、濾波後の信号をサンプリング周波数の  $2^n$  倍の周波数でオーバーサンプリングしてディジタル変換する変調器と、を有してなり、

受信側が、ディジタル線形データを受信し、高周波雑音

を除いてアナログ信号に変換するフィルタを有してなる請求項 2 4 記載の加入者回路。

【請求項 2 6】 変調器は、スイッチトキャパシタを利用した積分器を 1 段以上備え、サンプリング周波数の  $2^k$  倍の周波数によってスイッチされてフィルタからの信号をオーバーサンプリングするサンプリング手段と、このサンプリング手段の出力を受信して所定のレベルと比較し、1 ビット分解能を有するパルス変調信号を発生する比較手段と、を有してなるアナログ  $\Sigma - \Delta$  変調器である請求項 2 5 記載の加入者回路。

【請求項 2 7】 第 3 集積回路は、送信側が、量子化されて受信されるデジタル線形データの量子化雑音を除き、オーバーサンプリング周波数を低めるデシメータと、このデシメータの出力を受信し、デシメーション過程で発生する損失を補償する送信フィルタと、この送信フィルタからのデジタル線形データを圧縮して非線形の PCM データに符号化した後、ハイウェイに出力する圧縮器と、を有してなり、

受信側が、ハイウェイと接続され、そのハイウェイから受信される符号化された非線形のデジタルデータを伸張し、デジタル線形データに変換して出力する伸張器と、この伸張器からデジタル線形データを受信して損失を補償する受信フィルタと、この受信フィルタからデジタル線形データを受信し、そのサンプリング周波数を高める補間器と、この補間器からデジタル線形データを受信して変調し、1 ビットの変調信号に変換して出力するデジタル  $\Sigma - \Delta$  変調器と、を有してなる請求項 2 3 記載の加入者回路。

【請求項 2 8】 デシメータと送信フィルタとの間に減算器が設けられ、また、受信フィルタの出力端にバランスフィルタが接続されて、デシメータの出力からバランスフィルタの出力が減算されるようになっている請求項 2 7 記載の加入者回路。

【請求項 2 9】 多数の加入者回線が接続される交換機の加入者回路において、

加入者回線と接続され、高電圧を動作電源として加入者電話機とのインタフェース機能を遂行する高電圧用素子から構成され、その構成素子がバイポーラ工程で形成される第 1 集積回路と、

第 1 集積回路と接続され、デジタルレベルの電圧を動作電源として第 1 集積回路と交換機との間のインタフェース機能を遂行する素子で構成され、その構成素子が MOS 工程によって形成される第 2 集積回路と、

ハイウェイと接続され、第 2 集積回路とハイウェイとの間でデジタル方式によりデータを符号化及び復号する第 3 集積回路と、

第 2 集積回路と第 3 集積回路との間に設けられ、加入者回路を制御する制御部に従ってスイッチされて選択される加入者電話機と交換機との間に通話路を形成する集線回路と、

から構成されることを特徴とする加入者回路。

【請求項 3 0】 第 2 集積回路は、第 1 集積回路と加入者回路の制御部との間のインタフェース機能のための素子から構成される素子部と、アナログ信号をデジタル線形データに変換して出力し、デジタル線形データをアナログ信号に変換して出力する素子から構成されるアナログコーデック部と、から構成される請求項 2 9 記載の加入者回路。

【請求項 3 1】 アナログコーデック部は、

10 送信側が、アナログ信号を受信し、サンプリング時に発生される信号のエイリアシングを防止するように濾波するフィルタと、このフィルタと接続され、濾波後の信号をサンプリング周波数  $2^k$  倍の周波数でオーバーサンプリングしてデジタル変換する変調器と、を有してなり、

受信側が、デジタル線形データを受信し、高周波雑音を除いてアナログ信号に変換するフィルタを有してなる請求項 3 0 記載の加入者回路。

【請求項 3 2】 第 3 集積回路は、

20 送信側が、量子化されて受信されるデジタル線形データの量子化雑音を除き、オーバーサンプリング周波数を低めるデシメータと、このデシメータの出力を受信し、デシメーション過程で発生する損失を補償する送信フィルタと、この送信フィルタからのデジタル線形データを圧縮して非線形の PCM データに符号化した後、ハイウェイに出力する圧縮器と、を有してなり、

受信側が、ハイウェイと接続され、そのハイウェイから受信される符号化された非線形のデジタルデータを伸張し、デジタル線形データに変換して出力する伸張器と、この伸張器からデジタル線形データを受信して損失を補償する受信フィルタと、この受信フィルタからデジタル線形データを受信し、そのサンプリング周波数を高める補間器と、この補間器からデジタル線形データを受信して変調し、1 ビットの変調信号に変換して出力するデジタル  $\Sigma - \Delta$  変調器と、を有してなる請求項 2 9 記載の加入者回路。

【請求項 3 3】 デシメータと送信フィルタとの間に減算器が設けられ、また、受信フィルタの出力端にバランスフィルタが接続されて、デシメータの出力からバランスフィルタの出力が減算されるようになっている請求項 3 2 記載の加入者回路。

【請求項 3 4】 集線回路は、

多数の第 2 集積回路と一つの第 3 集積回路との間に設けられ、加入者回路の制御部の制御により、第 2 集積回路の出力端を選択して第 3 集積回路の入力端と接続し、時分割方式でマルチプレキシングを行う第 1 多重化部と、一つの第 3 集積回路と多数の第 2 集積回路との間に設けられ、加入者回路の制御部の制御により、第 3 集積回路の出力端を第 2 集積回路の入力端に選択的に接続し、時分割方式でマルチプレキシングを行う第 2 多重化部

と、  
から構成される請求項 2 9 ~ 3 4 のいずれか 1 項に記載  
の加入者回路。

【発明の詳細な説明】

【 0 0 0 1 】

【産業上の利用分野】本発明は、交換機の加入者回路、  
中でも半導体装置を用いた加入者回路に関し、特に、加  
入者回線インタフェース装置及びコーデックで構成され  
る加入者回路を小型化・高集積化すると共に、多数のチ  
ャンネルを一つの加入者回路で処理できるような半導体 10  
装置及びその方法に関するものである。

【 0 0 0 2 】

【従来の技術】一般に、交換機の加入者回路 (Subscrib  
er Line Circuit) は、加入者回線インタフェース装置  
及びコーデック (Coder & DECoder: CODEC) で構成さ  
れ、加入者電話機と交換機との間でインタフェースと  
して機能する。このために、加入者回路は、BORSCH  
T機能とチャンネル割当及び集線機能を遂行する必要  
がある。

【 0 0 0 3 】 BORSCHT機能は、次にあげる各機能 20  
のイニシャルを合わせた機能のことである。すなわち、  
加入者回線に通話電流を供給して、加入者が通話機能を  
遂行する際に動作電源を提供する通話電流供給機能 (Ba  
ttery feed)、交換機の外部で落雷等の異状状態が発生  
した場合に、加入者回線に誘起されるサージ電圧 (sur  
ge voltage) を遮断して加入者回路を保護する過電圧保  
護機能 (Over Voltage Protection)、加入者電話機に  
着信呼が発生したときに、これを知らせるためのリング  
信号を加入者回線に供給する呼出信号送出機能 (Ringin  
g)、加入者電話機のフックオン/オフ状態の検出、ダ  
イヤルパルスの検出、リングトリップや呼出応答状態等  
を検出する加入者状態監視機能 (Supervision)、加入者  
電話機から出力されるアナログ信号をデジタル信号に  
変換し、相手側の加入者電話機から提供されるデジタル  
信号をアナログ信号に変換して前記加入者電話機に出  
力する符号化/復号機能 (Coding/Decoding)、加入者  
電話機から発生される送信信号及び相手側の加入者電  
話機から発生される受信信号の通路を形成する 2 線 ~ 4 線  
交換機能 (Hybrid)、そして、加入者回線を試験装置に  
接続して加入者回路を試験する試験引込機能 (Test) を 40  
合わせた機能を称するものである。

【 0 0 0 4 】 また、加入者回路は、チャンネル割当機能  
(time slot assignment) を遂行するようになっている。  
これは、加入者電話機から送信される送信信号に対  
して送信チャンネル (TX time slot) を割当て、そし  
て、ハイウェイを通じて受信される受信信号に対して受  
信チャンネル (RX time slot) を別途に割当てて、自  
己チャンネルの信号を分離して送・受信する機能を意味  
する。さらに、加入者回路は、ハイウェイを効率的に使  
用するために集線機能 (line concentration) をもって 50

いる。これは、全ての加入者電話機が同時に通話するわ  
けではないので、加入者電話機の通話頻度を推定し、一  
定の割合で加入者回線を集線して運用する機能である。

【 0 0 0 5 】 図 8 は、このような交換機の加入者回路の  
従来例で、BORSCHT機能をもつ構成を示してい  
る。この図 8 に示すように、BORSCHT機能を遂行  
するため、各加入者電話機 (1 ~ N) と接続される加入  
者の 1 回線につき、1 個の加入者回線インタフェース装  
置 (Subscriber Line Interface Circuit: SLIC)  
と 1 個のコーデック/フィルタ (CODEC/filter)  
とを、それぞれ備えるように設計されている。また、図  
9 は、図 8 に示す加入者回路の SLIC の構成を示して  
いる。これら図 8 及び図 9 から分かるとおり、従来の加  
入者回路においては、SLIC 及びコーデック/フィル  
タをそれぞれ別途に集積化した半導体装置を利用して加  
入者回線をサービスするようになっている。

【 0 0 0 6 】 しかしながら、SLIC には、図 9 に示す  
ように、加入者回線に通話電流を供給する電源供給部及  
び着信呼の発生を知らせるためのリング駆動部等があ  
り、ここでは高電圧信号を処理しなければならない。し  
たがって、その高電圧信号を処理する構成を考慮して、  
全体の構成をバイポーラ素子で集積する必要がある。す  
なわち、従来では、高電圧信号及び低電圧信号を処理す  
る構成の違う素子を、一つの SLIC として集積するよ  
うにされ、この場合、各素子が高耐圧特性を有するよう  
にバイポーラ工程で集積しなければならなかった。これ  
は、高電圧信号を処理する素子が高耐圧特性をもつ必要  
があるので、それを考慮して、全回路素子をバイポーラ  
工程で設計しなければならないことを意味する。

【 0 0 0 7 】 ところが、このようにバイポーラ工程を使  
用して SLIC を集積する場合、加入者回路の制御部に  
対し信号のインタフェースとなる 5 V 級の低電圧素子に  
ついてはバイポーラ工程で設計することになるため、回  
路の電力消費が増加し、また、高集積設計が難しくな  
り、チップの面積が大きくなるという問題点がある。さ  
らに、素子の特性に応じて、例えば低電圧素子の部分を  
MOS 素子で構成しようとしても、バイポーラ工程と M  
OS 工程という大きく異なる製造工程を用いなければな  
らず、集積化過程が複雑となる。そのうえ、不良率が高  
く平均寿命の短い高電圧動作素子が、相対的に不良率が  
低く平均寿命の長い低電圧動作素子と共に集積されるの  
で、半導体チップを効率的に利用することが難しい。

【 0 0 0 8 】 また、コーデック/フィルタは、SLIC  
と PCM ハイウェイとの間に接続され、SLIC に対し  
てはアナログ信号のインタフェースとなり、PCM ハイ  
ウェイに対してはデジタル信号のインタフェースとな  
る。そのため、コーデック/フィルタは、アナログ素子  
からなる部分とデジタル素子からなる部分とが一緒に  
集積されて、A/D 変換機能、D/A 変換機能、濾波機  
能、デジタル信号の圧縮/伸張機能を遂行する。とこ

ろが、このようにアナログ素子とディジタル素子とを一緒に集積する場合、アナログ素子によって占有される面積が大きくなる。その結果、アナログ素子によりディジタル素子の部分の信頼性も低下させられるうえ、全体的なチップの面積が増大するという問題点がある。

【0009】また、交換機の効率を高めるために、加入者回路は加入者回線の集線機能をもっている。すなわち、加入者電話機は常に通話状態にあるのではなく、不規則に必要に応じて呼を発生する。これを交換機側から見ると、加入者の通話回線占有時間は極めて短く、通話待機時間の方が長いことになる。したがって、加入者回路で加入者回線を集線して、交換機が効率的に運用されるようにする必要がある。このとき、集線割合は加入者の通話頻度により決定され、通話頻度が高いと集線割合が低められ、通話頻度が低いと集線割合が高められる。しかしながら、従来の加入者回路では、集線機能を、コーデック／フィルタより交換機側の後段で運用するようになっている。そのため、各加入者回線に専用のSLICとコーデック／フィルタとを備える必要がある。つまり、一つのコーデック／フィルタは、それに接続された加入者回線に対してのみサービスが可能で、加入者回路が、コーデック／フィルタを多数備えなければならなくなるという問題点がある。

【0010】

【発明が解決しようとする課題】したがって本発明の目的は、第一に、より小型化・高集積化が可能な交換機の加入者回路を提供することにある。

【0011】第二に、一つの共通ディジタルコーデックにより、多数のチャンネルをサービスできるような交換機の加入者回路を提供することにある。

【0012】第三に、コーデックをアナログ信号処理部分とディジタル信号処理部分とに分離集積して多数の加入者チャンネルを処理できるようにされた交換機の加入者回路を提供することにある。

【0013】第四に、SLICの集積時に、高電圧信号処理素子と低電圧信号処理素子とに分離集積できるようにし、高電圧信号処理素子はバイポーラ工程で、低電圧信号処理素子はMOS工程で設計することで、より高集積化が可能とされた交換機の加入者回路を提供することにある。

【0014】第五に、交換機において各加入者電話機と接続される高電圧信号を処理する高電圧信号処理素子をバイポーラ工程で、低電圧信号を処理する低電圧信号処理素子及びコーデックのアナログ信号処理部分をMOS工程で設計できるようにし、また、コーデックのディジタル信号処理部分をディジタル方式で設計し、アナログコーデックとディジタルコーデックとの間にマルチプレクサ／デマルチプレクサを備えるようにして、より一層の高集積化が可能とされた交換機の加入者回路を提供することにある。

【0015】第六に、加入者電話機と交換機との間に通話路を形成する時に発生する反響（エコー）信号を、ディジタル方式で除去することができるような交換機の加入者回路を提供することにある。

【0016】

【課題を解決するための手段】このような目的を達成するために本発明は、多数の加入者回線が接続される交換機の加入者回路について、加入者回線と接続され、高電圧を動作電源として加入者電話機とのインタフェース機能を遂行する高電圧用素子から構成され、その構成素子がバイポーラ工程で形成される第1集積回路と、第1集積回路と接続され、ディジタルレベルの電圧を動作電源として第1集積回路と交換機との間のインタフェース機能を遂行する素子で構成され、その構成素子がMOS工程によって形成される第2集積回路と、ハイウェイと接続され、第2集積回路とハイウェイとの間でディジタル方式によりデータを符号化及び復号する第3集積回路と、第2集積回路と第3集積回路との間に設けられ、加入者回路を制御する制御部に従ってスイッチされて選択される加入者電話機と交換機との間に通話路を形成する集線回路と、から構成することを主な特徴としている。

【0017】また、上記の第3集積回路について、送信部を、量子化されて受信されるディジタル線形データの量子化雑音を除き、オーバーサンプリング周波数を低めるデシメータと、このデシメータの出力を受信し、デシメーション過程で発生する損失を補償する送信フィルタと、この送信フィルタからのディジタル線形データを圧縮して非線形のPCMデータに符号化した後、ハイウェイに出力する圧縮器と、を用いて構成し、受信部を、ハイウェイと接続され、そのハイウェイから受信される符号化された非線形のディジタルデータを伸張し、ディジタル線形データに変換して出力する伸張器と、この伸張器からディジタル線形データを受信して損失を補償する受信フィルタと、この受信フィルタからディジタル線形データを受信し、そのサンプリング周波数を高める補間器と、この補間器からディジタル線形データを受信して変調し、1ビットの変調信号に変換して出力するディジタルΣ-Δ変調器と、を用いて構成するようにし、そして、デシメータと送信フィルタとの間に減算器を設け、また、受信フィルタの出力端にバランスフィルタを接続して、デシメータの出力からバランスフィルタの出力が減算されるようにすることを特徴とする。

【0018】

【実施例】以下、本発明の好適な実施例を添付の図面を参照して詳細に説明する。

【0019】図1に、本発明による加入者回路の構成例を示す。同図に示す回路には、図示せぬ電源供給モジュールから、加入者回路で使用される高電圧レベルの第1電源及びTTLレベルの第2電源が供給される。

【0020】高電圧SLIC部100の各高電圧SLI

C ( 1 ~ N ) は、高電圧に耐えられるようバイポーラ工程によって形成されており、第 1 電源を動作電源として使用する。これら各高電圧 S L I C は、各加入者回線と 1 : 1 でそれぞれ接続され、加入者電話機と交換機との間でインタフェース機能を遂行する。この高電圧 S L I C 部 1 0 0 は、S L I C における第 1 電源によって動作する高電圧動作要素であって、実質的に加入者電話機と接続され、加入者とのインタフェースとなる部分に該当する。

【 0 0 2 1 】低電圧動作部 2 0 0 は、MOS 工程によっ 10 て形成されるもので、第 2 電源を動作電源として使用する。そして、高電圧 S L I C 部 1 0 0 と接続され、高電圧 S L I C 部 1 0 0 とのインタフェース機能を遂行する。この低電圧動作部 2 0 0 は、高電圧 S L I C 部 1 0 0 から発生される信号と加入者回路の制御部 ( 図示を省略 ) とのインタフェースとなり、ハイウェイを通じて送出するためにデジタル信号への変換を行い、また、ハイウェイを通じて受信されるデジタル信号をアナログ信号に変換して、高電圧 S L I C 部 1 0 0 に出力する。そのため、低電圧動作部 2 0 0 は、S L I C における低 20 電圧レベルの信号を処理する要素である低電圧 S L I C 部 2 1 0 と、コーデック / フィルタのアナログ信号処理部分であるアナログコーデック 2 2 0 とから構成されている。この低電圧 S L I C 部 2 1 0 は、加入者回路の制御部とのインタフェースとなる CMOS 素子で構成され、そして、アナログコーデック 2 2 0 は、加入者回線から受信されるアナログ信号をデジタル信号に変換する A / D 変換部と、デジタル信号をアナログ信号に変換して加入者回線に出力する D / A 変換部とから構成される。

【 0 0 2 2 】集線部 3 0 0 は、低電圧動作部 2 0 0 と接続され、加入者回路の制御部による制御の下に、低電圧動作部 2 0 0 から受信される複数のデジタル信号をマルチプレキシングして出力し、また、受信されるデジタル信号をデマルチプレキシングして各加入者ごとに分離し、低電圧動作部 2 0 0 に印加する。すなわち、集線部 3 0 0 は、加入者の状態に従って加入者回路の全般的な動作を制御する加入者回路の制御部の制御により、低電圧動作部 2 0 0 の特定加入者を送信側として相手の加入者と接続して通話路を形成するマルチプレクサ部 3 1 0 と、加入者回路の制御部の制御によってスイッチされ、低電圧動作部 2 0 0 の特定加入者を受信側として、受信されるデジタル信号を中継するためのデマルチプレクサ部 3 2 0 とを備えている。したがって、集線部 3 0 0 は、加入者回線を集線する機能を遂行することが分かる。このような集線部 3 0 0 は、タイムメモリ ( time memory ) を用いて実現することができる。

【 0 0 2 3 】デジタルコーデック 4 0 0 は、集線部 3 0 0 と PCM ハイウェイとの間に設けられ、マルチプレクサ部 3 1 0 から受信されるデジタル信号を符号化し 50

てハイウェイに出力し、ハイウェイから受信されるデジタル信号を復号してデマルチプレクサ部 3 2 0 に出力する。

【 0 0 2 4 】以上のような構成に基づいて、次に、本発明をより具体的に説明する。

【 0 0 2 5 】高電圧 S L I C 部 1 0 0 の各高電圧 S L I C は、加入者回線とそれぞれ 1 : 1 で接続されており、第 1 電源を動作電源として受けて、加入者電話機とのインタフェース機能を遂行する。この高電圧 S L I C 部 1 0 0 を構成する素子は、加入者回線に対する高電圧信号でのインタフェースとなるので、バイポーラ工程により形成される。すなわち、高電圧 S L I C 部 1 0 0 は、従来の S L I C における高電圧によって動作する素子のみで構成される。

【 0 0 2 6 】一方、低電圧 S L I C 部 2 1 0 は、高電圧 S L I C 部 1 0 0 と接続され、加入者回路の制御部とのインタフェースとなる素子で構成される。この低電圧 S L I C 部 2 1 0 の構成素子は、加入者回路の制御部に対する低電圧レベルの信号でのインタフェースとなるので、MOS 工程によって形成される。

【 0 0 2 7 】このように、本発明においては、S L I C の各素子の特性に応じ、高電圧信号を処理する部分と低電圧信号を処理する部分とに分離して、別々の半導体回路として用い、特に、高電圧信号処理部分はバイポーラ工程で形成し、低電圧信号処理部分は MOS 工程で形成できるようになるので、製造工程が複雑とならずにすみ、集積化が容易となると共に一層の高集積化が可能になる。

【 0 0 2 8 】また、従来技術において、アナログ処理部分とデジタル処理部分とが共存していたコーデック / フィルタについて、アナログ処理部分を分離して低電圧 S L I C 2 1 0 と同じチップに形成することができる。すなわち、コーデック / フィルタのアナログ処理部分は、MOS 工程によって形成されるので、低電圧 S L I C 部 2 1 0 と一緒にすることで、加入者回路の製作工程を簡素化でき、また、回路の一層の高集積化が可能となる。そして、コーデックの残りの部分を、デジタル信号処理方式による別の半導体回路として設計して、デジタルコーデック 4 0 0 を製作することができる。したがって、このデジタルコーデック 4 0 0 を共通に使用するようにして、多数の加入者チャンネルを時分割方式で処理させるようにすることが可能である。すなわち、本発明においては、デジタルコーデック / フィルタの加入者側の前段で、集線機能を遂行することができる。

【 0 0 2 9 】図 2 は、上記の S L I C についてのブロック構成図である。同図に示すように、S L I C 内で高電圧信号を処理する部分と低電圧信号を処理する部分とをそれぞれ分離して、別個の半導体集積回路で具現する。すなわち、動作電源 ( V c c ) の電圧レベルにより異なる製造工程を選んで素子を形成する。この例では、各素



子を、動作電源のレベルによりバイポーラ工程とMOS工程とに区分して形成し、さらに、バイポーラ工程については、90V級のバイポーラ工程と、20V級のバイポーラ工程とに分けて実施するようになっている。

【0030】まず、90V級のバイポーラ工程によって形成される第1高電圧SLIC110は、加入者回線にリング信号を供給する素子及び通話電流を供給する素子からなるライン駆動部111と、加入者回線と接続され、加入者電話機の状態を感知する素子からなるラインセンス部112と、加入者の状態により通話路制御及び状態信号の連絡を行うためのリレー駆動部113と、電源供給のためのパワートランジスタ114とを含んでおり、これら素子は、高耐圧バイポーラ形成により設計されている。

【0031】次に、20V級バイポーラ工程によって形成される第2高電圧SLIC120は、通話電源の供給を制御する電源供給制御部 (Battery Feed Controller) 121と、加入者回線とのインタフェースとなり、音声信号を処理するハイブリッド部 (Hybrid Transmission) 122と、加入者回線と通話ループを形成するループ部 (Longitudinal Loop) 123と、リングトリップ部 (Auto Ring Trip) 124と、加入者電話機により要求される機能の他の付加的機能を遂行するテレメータ部 (Telemetry) 125と、極性反転部 (Polarity Reversal) 126とを含んでいる。この第2高電圧SLIC120の構成素子は、20V級以下の電源を動作電源として、入力される信号を処理する素子であって、第1高電圧SLIC110と低電圧SLIC部210との間に接続される。そして、第2高電圧SLIC120により、第1高電圧SLIC110から受信される高電圧レベルの信号がMOS電源レベルである低電圧レベルの信号に変換されて、低電圧SLIC部210やアナログコーデック220に出力され、また、低電圧SLIC部210又はアナログコーデック220から受信される信号が変換されて、第1高電圧SLIC110に出力される。

【0032】さらに、低電圧SLIC部210は、第2高電圧SLIC120と加入者回路の制御部との間に接続されて、第2高電圧SLIC120及びアナログコーデック220から出力される状態信号を加入者回路の制御部に出力し、また、この加入者回路の制御部から出力される制御信号を第2高電圧SLIC120又はアナログコーデック220に印加する。すなわち、低電圧SLIC部210は、加入者回路の制御部とのインタフェース機能を遂行するもので、MOS工程により設計される。この低電圧SLIC部210は、加入者電話機の状態信号を受信するために、加入者回路の制御部の制御により加入者回線を選択するためのデコード211と、加入者電話機に制御信号を出力するために、加入者回路の制御部の制御によって加入者回線を選択するマルチプレ

クサ213と、選択された加入者回線と加入者回路の制御部との間で状態信号及び制御信号のインタフェースとなる制御インタフェース部212とを含んでいる。

【0033】このように、高耐圧のバイポーラ工程で高電圧SLIC部100を形成するようにしているので、SLICを集積した際の信頼性が高くなる。また、このような高耐圧回路とコーデックのような低圧回路とを同一半導体チップに形成することも可能ではあるが、本発明によれば、不良率の比較的高い高電圧信号の処理部分を、低電圧信号の処理部分から分離させて独立的にチップを構成することで、不良率の比較的低い低電圧信号の処理部分までも高電圧信号の処理部分と同時に交換しなければならなくなるような無駄をなくすることができ、さらに、部品交換も簡便に行えるようになるので、保守管理をより安く容易に行うことができるようになる。加えて、動作電圧のレベルにより独立的にチップを構成するようにしているので、各機能ブロックごとに高集積化することが可能となり、しかも、不良時には、該当するチップのみを交換するだけですむので、保守管理の費用を更に節減することが可能となる。

【0034】次に、本発明に係るコーデック/フィルタの構成例を説明する。

【0035】コーデック/フィルタは、フィルタ、A/D変換部、D/A変換部、線形データをPCMデータに変換する圧縮器、PCMデータを線形データに変換する伸張器、及びこれらを統制する制御手段で構成される。このような構成を有するコーデックは、アナログ信号処理部分とデジタル信号処理部分とを有することになる。従来では、この二つの部分を一つのチップに形成するようにしており、その場合、コーデック/フィルタをアナログ方式で形成していた。一方、本発明においては、コーデック/フィルタを、アナログ信号処理部分とデジタル信号処理部分とに分離して集積する。

【0036】この場合、コーデック/フィルタのアナログ信号処理部分は、低電圧SLIC210と一緒にし、同じチップにMOS工程で形成する。コーデック/フィルタにおいてアナログ信号を処理するアナログコーデック220は、アナログ信号をデジタル信号に変換するA/D変換部と、デジタル信号をアナログ信号に変換するD/A変換部とからなる。そして、アナログコーデック220のA/D変換部及びD/A変換部は、部品を最少化するためにオーバーサンプリング技法を使用して変換機能を遂行する。このオーバーサンプリング技法は、ナイキストレート (Nyquist rate) の $2^N$  (N:自然数) に該当する周波数で元の信号をサンプリングすることによって量子化を行うもので、この技法を使用することにより、再生フィルタ及びアンチエイリアシングフィルタ (Anti-Aliasing Filter: AAF) をチップの狭い面積に実現可能となる。

【0037】一方、デジタルコーデック400は、音

声帯域フィルタを汎用ディジタル信号処理器で具現できるので、ディジタル方式信号処理により製作する。これによって、アナログ方式のコーデック／フィルタで実現し難かったエコー信号の除去機能を追加することが容易に可能となる。そして、コーデック／フィルタにおけるディジタル素子をアナログ信号の処理部分から分離して、ディジタル信号処理方式で集積することで、時分割多重化方式をもって多数の加入者チャンネルを同時に処理することができるようになり、プログラムによるシステム全体の特性調節が容易になる。したがって、ディジタルコーデック 4 0 0 は、ディジタルシステムの利点である温度、経時的変化 (aging)、雑音等に対する安定性を提供できるうえに、全システムの高集積化及び小型化に寄与することができる。

【0038】図 3 は、本発明に係るコーデック／フィルタの全体的構成図である。この図 3 に示すように、コーデック／フィルタは、アナログ信号を処理するアナログコーデック 2 2 0 と、ディジタル信号を処理するディジタルコーデック 4 0 0 とからなり、また、加入者からの信号を PCM ハイウェイに出力するための送信部と、PCM ハイウェイを通じて受信される信号を加入者側に伝達するための受信部とを備えている。

【0039】アナログコーデック 2 2 0 は、コーデック／フィルタにおけるアナログ信号を処理する部分であって、低電圧動作部 2 0 0 に属しており、A/D 変換部 2 5 1 と D/A 変換部 2 5 2 とに区分される。

【0040】A/D 変換部 2 5 1 は、低電圧 S L I C 部 2 1 0 と接続され、オーバーサンプリング時にエイリアシング (aliasing) を防止するために、低電圧 S L I C 部 2 1 0 から受信されるアナログ信号を濾波するアンチエイリアシングフィルタ 2 2 1 と、このアンチエイリアシングフィルタ 2 2 1 とマルチプレクサ部 3 1 0 との間に接続され、アンチエイリアシングフィルタ 2 2 1 から受信される送信アナログ信号をオーバーサンプリングして、ディジタル線形データに変換出力するアナログΣ-Δ変調器 (Analog Sigma-Delta Modulator) 2 2 2 とを有している。

【0041】図 4 に、アナログΣ-Δ変調器 2 2 2 の具体的な回路例を示す。尚、この例は、入力アナログ信号をナイキストレートの 1 2 8 倍にオーバーサンプリングする構成を示している。このアナログΣ-Δ変調器 2 2 2 は、スイッチトキャパシタ (switched capacitor) を利用した積分器 2 3 1、2 3 2 を 2 段の縦続形態 (2nd order cascade form) で接続し、そして、積分器 2 3 2 の出力を比較器 2 3 3 に印加して、送信しようとするアナログ信号をディジタル線形データに変換出力するように構成されている。

【0042】また、D/A 変換部 2 5 2 は、平滑フィルタ (smoothing filter) 2 2 3 を用いて構成されている。この平滑フィルタ 2 2 3 は、デマルチプレクサ部 3

2 0 と低電圧 S L I C 部 2 1 0 との間に接続され、デマルチプレクサ部 3 2 0 によって選択されたチャンネルに受信されるディジタル線形データを濾波して、アナログ信号に変換出力する。

【0043】一方、図 3 に示すディジタルコーデック 4 0 0 は、コーデックのディジタル信号処理部分を分離して独立的に集積したものである。この例のディジタルコーデック 4 0 0 は、符号化部 4 5 1 と復号部 4 5 2 とに大別される。

【0044】符号化部 4 5 1 は、マルチプレクサ部 3 1 0 の出力端と接続され、マルチプレクサ部 3 1 0 により選択される加入者からのディジタル線形データを受信して、それに含まれた量子化雑音を除去し、サンプリング周波数を低めるデシメータ (decimator) 4 0 1 と、このデシメータ 4 0 1 から受信されるディジタル信号を濾波して、デシメーション過程で発生する損失を補償する送信フィルタ (Tx Band Pass Filter) 4 0 2 と、送信フィルタ 4 0 2 と送信 PCM ハイウェイとの間に接続され、送信フィルタ 4 0 2 から出力されるディジタル線形データを、予め設定された符号化方式で圧縮して送信 PCM ハイウェイに出力する圧縮器 (compressor & PCM interface) 4 0 3 とを有している。

【0045】復号部 4 5 2 は、受信 PCM ハイウェイと接続され、受信 PCM ハイウェイから受信される符号化データを予め設定された方式で伸張してディジタル線形データに復号する伸張器 (expander & PCM interface) 4 1 1 と、この伸張器 4 1 1 と接続され、伸張器 4 1 1 から受信されるディジタル線形データを濾波して、復号時に発生された損失信号を補償する受信フィルタ (Rx Low Pass Filter) 4 1 2 と、この受信フィルタ 4 1 2 と接続され、受信フィルタ 4 1 2 から受信されるディジタル線形データのサンプリング周波数を高める補間器 (interpolator) 4 1 3 と、補間器 4 1 3 とデマルチプレクサ部 3 2 0 との間に接続され、補間器 4 1 3 から受信されるディジタル線形データを、1 ビット P D M データに変換してデマルチプレクサ部 3 2 0 に出力するディジタルΣ-Δ変調器 (Digital Sigma Delta Modulator) 4 1 4 とを有している。図 7 に、このディジタルΣ-Δ変調器 4 1 4 の構成例をブロック構成図で示す。

【0046】このように、ディジタルコーデック 4 0 0 をディジタル方式信号処理で実現すると、加入者電話機と交換機との間で接続が行われる時点で、望ましくないエコー信号の発生を防止することが可能となる。このエコー信号の除去のために、符号化部 4 5 1 と復号部 4 5 2 との間にエコー除去部を設けるようにしている。このエコー除去部 (echo cancellator) は、復号部 4 5 2 の受信フィルタ 4 1 2 の出力端に接続され、受信フィルタ 4 1 2 の出力をバランス濾波して出力するバランスフィルタ (Digital Hybrid Balance Filter) 4 2 1 と、デシメータ 4 0 1 の出力からバランスフィルタ 4 2 1 の出

力を減算して、不必要なエコー信号を取除く減算器 4 2 とから構成される。

【0047】以上のようなデシメーション、送信フィルタリング、受信フィルタリング、補間、及びエコー除去過程について、図 5 に詳細に示す。また、デジタルコーデック 400 で、デシメーション及び補間によって引き起される利得の減衰を、図 6 に示す。これらの図面を参照して、次に、各部の動作について説明する。

【0048】図 3 に示す集線部 300 は、集線機能を遂行するマルチプレクサ部 310 及びデマルチプレクサ部 320 を備えている。マルチプレクサ部 310 は、入力側にアナログコーデック 220 の A/D 変換部 251 が多数接続されており、また、デマルチプレクサ部 320 は、出力側にアナログコーデック 220 の D/A 変換部 252 が多数接続されている。そして、マルチプレクサ部 310 の出力端は、デジタルコーデック 400 の符号化部 451 と接続され、デマルチプレクサ部 320 の入力端は、デジタルコーデック 400 の復号部 452 と接続されている。これらマルチプレクサ部 310 及びデマルチプレクサ部 320 は、加入者回路の制御部の制御によって該当する加入者の加入者回線にスイッチし、通話加入者を選択する。

【0049】最初に、アナログコーデック 220 の A/D 変換部 251 の動作を説明する。アンチエイリアシングフィルタ 221 はアナログ信号を濾波する。このアンチエイリアシングフィルタ 221 は、アナログΣ-Δ変調器 222 がアナログ信号をデジタル線形データに変換する際に、オーバーサンプリングの過程で発生される信号のエイリアシングを防止する機能を遂行する。そして、アンチエイリアシングフィルタ 221 の出力を受信するアナログΣ-Δ変調器 222 は、受信されるアナログ信号を、ナイキストレートの 2<sup>n</sup> 倍になるサンプリング周波数でオーバーサンプリングする。このアナログΣ-Δ変調器 222 は、図 4 に示すように構成することができ、スイッチトキャパシタ形態の積分器 231、232 及び比較器 233 の特性により、A/D 変換性能を調整できる。

【0050】一般に、PCM コーデックでは、13~1

$$H_1(Z) = \sum_{i=0}^{15} Z^{-i} \text{ ----- (1)}$$

【数 2】

$$H_2(Z) = \left[ \sum_{i=0}^{15} Z^{-i} \right]^2 \text{ ----- (2)}$$

【0054】このようにして、デシメーション部 DEC 1 及び DEC 2 により、サンプリング周波数は 1.024 MHz から 64 KHz に低くなる。そして、デシメーション部 DEC 2 の出力は、デシメーション部 DEC 3 に印加され、再度、サンプリング周波数を低められる。

4 ビットのダイナミックレンジ (dynamic range) と 12 ビット程度の正確度 (accuracy) が求められる。そこで、この条件を満たすため本実施例では、アナログΣ-Δ変調器 222 を、2 段縦続形の変調器で具現する。さらに、オーバーサンプリングを遂行するためのサンプリング周波数は、ナイキストレートである 8 KHz の 2<sup>n</sup> 倍である必要があるので、128 倍の 1.024 MHz の周波数をサンプリング周波数として使用するものとする。したがって、スイッチトキャパシタ形態の積分器 231、232 は、1.024 MHz の周波数を有するオーバーサンプリング信号 φ1、φ2 (この信号 φ1、φ2 は同一の周波数を有するが、相互にオーバーラップはしない信号である) によってスイッチされるので、比較器 233 は、受信されるアナログ信号を 1.024 MHz にオーバーサンプリングして、デジタル線形データに変調する。その結果、アナログΣ-Δ変調器 222 の最終出力データは、PDM (Pulse Density Modulation) 形態に変換され、1 ビット分解能を有する信号になる。

【0051】アナログコーデック 220 の A/D 変換部 251 を通じて出力されるデジタル線形データは、マルチプレクサ部 310 を介してデジタルコーデック 400 のデシメータ 401 に印加される。すると、このデシメータ 401 が、アナログΣ-Δ変調器 222 においてアナログ信号をデジタル線形データに変換する過程で発生した高周波帯域の量子化雑音を除去し、また、この変換過程で使用されたオーバーサンプリング周波数を低める動作を遂行する。本実施例のデシメータ 401 は、図 5 に示すように、サンプリング周波数を低める動作を 3 段階に分けて遂行するようになっている。

【0052】図 5 に示す一番目のデシメーション部 DEC 1 は、アップダウンカウンタが用いられており、その伝達関数は次の数式 (1) で表される。そして、二番目のデシメーション部 DEC 2 は、三角窓 (triangular window) であって、その伝達関数は次の数式 (2) で表される。

【0053】

【数 1】

このデシメーション部 DEC 3 も三角窓であって、その伝達関数は次の数式 (3) で表せる。この数式 (3) に従ってデシメーションを行うことで、サンプリング周波数は 64 KHz から 32 KHz に低くなる。

【0055】

【数 3】

$$H_3(Z) = \left[ \sum_{i=0}^1 Z^{-i} \right]^2 \text{-----} (3)$$

【0056】このようなデシメータ401のデシメーション過程は、図5に示すように3段階にかけて遂行され、このとき、オーバーサンプリング周波数は、1.024MHzから32kHzに低められると同時に、オーバーサンプリング時に発生する高周波帯域の量子化雑音

が除去される。図6の(a)が、上記の数式(1)～

(3)を合成した伝達関数の帯域内(In-Band)周波数特性を示している。これを参照すれば、周波数が高いほど信号の損失が増加することが分かる。

【0057】また、デシメータ401の出力を受信する送信フィルタ402は、CCITT勧告案G.712に基づいて入力信号を濾波し、そして、デシメーション過程で発生する信号の損失を補償する。この送信フィルタ402は、帯域フィルタを利用したもので、図5に示すように、低域フィルタと高域フィルタとを直列に接続した構成とされている。低域フィルタは5次だ円フィルタ(5th elliptic filter)、高域フィルタは3次だ円フィルタであって、2段バイカッド(biquad)の縦続形の形態をもっている。

【0058】送信フィルタ402から出力されるデジタル線形データは、システムで要求されるPCM方式のデータに符号化する必要がある。そこで、圧縮器403が、送信フィルタ402を通じて出力されるデジタル線形データを、A法則(A law)又はμ法則(μ law)で8ビットPCMデータに変換出力する。このとき、PCMの符号化方式であるA法則又はμ法則の選択が、外部からでも行えるように設計されている。したがって、圧縮器403は、送信フィルタ402を通過したデジタル線形データを受信し、選択された符号化方式により圧縮して非線形データに符号化した後、送信PCMハイウェイに出力する。その際、圧縮器403は、8kHzのサンプリング周波数を使用して入力信号を圧縮符号化する。

【0059】このような過程によって圧縮されたPCMデータは、交換機を通じて相手側加入者に伝送される。すると、その相手の加入者側で、この符号化過程と逆の手順で、受信された符号化データを復号してアナログ信号に変換し、該当する加入者に印加しなければなら

い。次に、その過程について説明する。

【0060】受信PCMハイウェイから符号化データが受信されると、伸張器411が、非線形データに符号化された8ビットのPCMデータを、元の量子化データに伸張する。このように、伸張器411で、受信される符号化データを復号する場合、符号化時に使用された法則を用いるようにする。すなわち、符号化時と同様のA法則又はμ法則を用い、外部からでも選択できるようにされている。つまり、伸張器411は、受信PCMハイウェイを通じて受信された非線形データを、元の量子化データ形態であるデジタル線形データに変換出力する。

【0061】伸張器411から出力されるデジタル線形データは、補間時に発生する損失を補償するため、受信フィルタ412で低域濾波される。この受信フィルタ412は、図5に示すように、送信フィルタ402の低域フィルタと同様の5次だ円フィルタで、2段バイカッドの縦続形態をもっている。

【0062】ここで、受信されるデジタル線形データは、送信側でデシメーション過程を通じてオーバーサンプリング周波数を低めた状態とされているので、受信側で、補間過程を遂行して低められたサンプリング周波数を元のオーバーサンプリング周波数に高めなければならない。その際、この補間過程においても、図6の(b)で示すように、周波数の増加による信号の損失が誘発されるので、受信フィルタ412は、補間過程で発生する損失を補償できるような設計とする。

【0063】受信フィルタ412を通じて補償されたデジタル線形データは、補間器413に印加され、この補間器413で、図5に示すように、2段の補間過程が遂行されて、サンプリング周波数が元のオーバーサンプリング周波数に復原される。このような補間器413は、デシメータ401と同じ伝達関数を有するようにされている。すなわち、一番目の補間部INT1の伝達関数は、次の数式(4)で表され、サンプリング周波数を32kHzから64kHzに高める。

【0064】

【数 4】

$$H_4(Z) = \left[ \sum_{i=0}^1 Z^{-i} \right]^2 \text{-----} (4)$$

【0065】そして、二番目の補間部INT2の伝達関数は、次の数式(5)で表され、サンプリング周波数を64kHzから1.024MHzに高める。

【0066】

【数 5】

$$H_5(Z) = \left[ \sum_{i=0}^{15} z^{-i} \right]^2 \text{-----} (5)$$

【 0 0 6 7 】 このようにしてサンプリング周波数を高めると、補間器 4 1 3 から出力されるサンプリング周波数は、元のオーバーサンプリングされた周波数に戻る。

【 0 0 6 8 】 デジタルΣ-Δ変調器 4 1 4 は、補間器 4 1 3 の出力を受信して 1 ビットの PDM データに変換する。このデジタルΣ-Δ変調器 4 1 4 は、デジタル信号処理方式で、図 7 に示すように構成することができ、この例のデジタルΣ-Δ変調器 4 1 4 において、X (z) が補間器 4 1 3 の出力信号であり、Y (z) がデジタルΣ-Δ変調器 4 1 4 の出力で 1 ビットの PDM データである。したがって、補間器 4 1 3 を通過したデータは、このデジタルΣ-Δ変調器 4 1 4 を通過することで 1 ビットの PDM 信号に変換され、この PDM 信号が、デマルチプレクサ部 3 2 0 を介して平滑フィルタ 2 2 3 に印加される。そして、平滑フィルタ 2 2 3 が、デジタルΣ-Δ変調器 4 1 4 から出力される変調信号に含まれた高周波成分を除去し、受信される PDM データをアナログ信号に変換出力する。

【 0 0 6 9 】 以上のようなデジタルコーデック 4 0 0 を使用する場合、デジタルコーデック 4 0 0 内でエコー信号の除去が可能となる。すなわち、例えば 2 線式 2 重通信方式 (2-wire full-duplex) の加入者電話機と 4 線式 2 重通信方式 (4-wire full-duplex) の交換機とが接続する場合、望ましくないエコー信号が発生する。このようなエコー信号は通話時に雑音として発生され、それによって通話の質が低下するという問題を引起す。したがって、エコー信号を除去する必要があるの

で、本発明においては、デジタルコーデック 4 0 0 内でその除去動作を遂行する。

【 0 0 7 0 】 このようにエコー信号を取り除くため、受信フィルタ 4 1 2 の出力端に、補間器 4 1 3 と並列にバランスフィルタ 4 2 1 を接続し、そして、デシメータ 4 0 1 と送信フィルタ 4 0 2 との間に減算器 4 2 2 を接続して、デシメータ 4 0 1 の出力からバランスフィルタ 4 2 1 の出力を減算し、送信フィルタ 4 0 2 に出力するようになっている。それにより、バランスフィルタ 4 2 1 が、受信フィルタ 4 1 2 と送信フィルタ 4 0 2 との間に

接続され、交換機と加入者側が接続されるときに発生するエコー信号を除去する機能を遂行する。この例では、バランスフィルタ 4 2 1 は、1 ポール IIR フィルタ (single-pole IIR filter) 及び 7 タップ FIR フィルタ (7-tap FIR filter) で構成され、その動作周波数は 1 6 KHz である。

【 0 0 7 1 】 また、上記のようにコーデック/フィルタを、アナログコーデック 2 2 0 及びデジタルコーデック 4 0 0 に分離して設計するとき、オーバーサンプリング方式で A/D 変換機能を遂行し、デジタル信号処理

方式でフィルタを設計すれば、多数のアナログコーデック 2 0 0 から発生されるデータを、一つのデジタルコーデック 4 0 0 で処理するようにできる。したがって、時分割多重化方式によりデジタル信号をマルチプレキシング/デマルチプレキシングすると、加入者回線の集線機能を、デジタルコーデック 4 0 0 の加入者側の前段で遂行することが可能になる。それにより、各加入者回線と 1 : 1 で接続されたアナログコーデック 2 2 0 を、デジタルコーデック 4 0 0 に時分割方式により共通に接続することができる。

【 0 0 7 2 】 このような集線機能の遂行のために、本実施例では、アナログコーデック 2 2 0 とデジタルコーデック 4 0 0 との間に集線部 3 0 0 を設けている。この集線部 3 0 0 は、多数の加入者回線から出力されるデータを、時分割多重化方式でスイッチして送信 PCM ハイウェイに出力し、受信 PCM ハイウェイを通じて受信されるデジタル信号を、時分割方式でデマルチプレキシングしてそれぞれの対応する加入者回線側に印加する。このような集線部 3 0 0 では、時分割多重化方式のスイッチング機能をメモリを用いて実現することができる。この場合、集線部 3 0 0 は、加入者回路の制御部により各加入者のデータがスイッチング制御されるタイムメモリ形態になる。

【 0 0 7 3 】 通話の種類には、加入者がフックオフして通話を試みる発信通話と、外部から受信される呼に应答する着信通話の形態がある。まず、発信通話時の動作について、次に説明する。

【 0 0 7 4 】 加入者回路の制御部は、低電圧 S L I C 部 2 1 0 を制御して加入者回線の状態を監視し、そして、マルチプレクサ部 3 1 0 を時分割多重化方式で制御して、各アナログコーデック 2 2 0 の A/D 変換部 2 5 1 を、デジタルコーデック 4 0 0 の符号化部 4 5 1 に順次に接続する。また、加入者回路の制御部は、デマルチプレクサ部 3 2 0 を時分割多重化方式で制御して、デジタルコーデック 4 0 0 の復号部 4 5 2 の出力端を、アナログコーデック 2 2 0 の D/A 変換部 2 5 2 に接続する。

【 0 0 7 5 】 したがって、加入者回路の制御部は、マルチプレクサ部 3 1 0 を制御し、時分割方式で、多数の加入者回線と接続されたアナログコーデック 2 2 0 をデジタルコーデック 4 0 0 に接続する。すなわち、加入者回線から発生されるアナログ音声信号は、対応するアナログコーデック 2 2 0 の A/D 変換部 2 5 1 でデジタル信号に変換され、その変換されたデジタル信号は、時分割多重化され、共通のデジタルコーデック 4 0 0 に印加される。そして、デジタルコーデック 4 0 0 は、アナログコーデック 2 2 0 の A/D 変換部 2 5 1 か

ら時分割多重化されて受信されるデジタル線形データを符号化し、送信PCMハイウェイに出力する。

【0076】一方、加入者回路の制御部は、デマルチプレクサ部320を時分割多重化方式で制御することで、受信PCMハイウェイを通じて受信されるデータを、対応する加入者のアナログコーデック220のD/A変換部252に印加する。すなわち、デマルチプレクサ部320は、加入者回路の制御部の制御により、デジタルコーデック400の復号部452の出力を時分割多重化方式でデマルチプレキシングして、該当する加入者のアナログコーデック220のD/A変換部252に印加し、そして、D/A変換部252は、受信されるデジタル線形データをアナログ音声信号に変換出力する。

【0077】ここで、集線部300が16:1の集線機能をもつ場合の動作を説明する。この場合、マルチプレクサ部310は、対応する16の加入者回線のアナログコーデック220のA/D変換部251が、第1入力端～第16入力端にそれぞれ接続され、出力端は、デジタルコーデック400の符号化部451の入力端に接続される。また、デマルチプレクサ部320の入力端は、デジタルコーデック400の復号部452の出力端に接続され、第1出力端～第16出力端が、対応する16の加入者回線のアナログコーデック220のD/A変換部252の入力端とそれぞれ接続される。したがって、このような構造を有する集線部300は、16個の加入者回線を集線して、加入者電話機と交換機のPCMハイウェイとの間で通話路形成を制御する。また、このような集線部300は、加入者回路に接続される加入者の特性に応じて集線容量を設定することができる。すなわち、加入者回路と接続した加入者の通話頻度が高いと集線比率を低め、通話頻度が低いと集線比率を高めることで、加入者回線を効率的に集線することができるようになる。

【0078】

【発明の効果】以上述べてきたように本発明によれば、第一に、SLICの高電圧動作部分と低電圧動作部分とを分離して集積するようにしたことにより、高電圧用のバイポーラ工程を使用する部分を最小化でき、信頼性の向上及び電力消耗の低減が可能となる。

【0079】第二に、SLICの低電圧動作部分とコーデックのアナログ信号処理部分とを同じチップにMOS工程で形成するようにしたこと、電力の消耗及び高電圧による損傷の危険度を減少させられると共に、チップの面積もより小さくすることができる。

【0080】第三に、コーデックを、アナログ信号処理部分とデジタル信号処理部分とに分離して集積するようにしたこと、工程技術に応じて集積度を容易に増加させられるようになり、また、すべての信号をデジタル信号とできるので、テストし易く、検査費用の節減も可能となる。

【0081】第四に、各加入者回線と接続されるコーデックのアナログ信号処理部分を、多重化手段を経て一つの共通デジタルコーデックに接続できるようにしたこと、時分割方式を用いて多くの加入者を一つのデジタルコーデックで処理することが可能となる。

【0082】第五に、コーデックにおいて、アナログ信号処理部分とデジタル信号処理部分とを完全に分離するようにしたので、デジタル信号処理部分とアナログ信号処理部分との影響をなくすることができ、信号対雑音比(SN比)の特性が非常に良好になる。

【図面の簡単な説明】

【図1】本発明による加入者回路の概略構成図。

【図2】図1に示すSLICの構成例を示す内部の構成図。

【図3】図1に示すコーデック／フィルタの構成例を示す内部の構成図。

【図4】図3に示すアナログΣ-Δ変調器の構成例を示す回路図。

【図5】図3に示すデジタルコーデックにおける送受信音声信号の処理について説明するブロック図。

【図6】音声信号をデシメーション又は補間する過程での利得減衰を示す特性図。

【図7】図3に示すデジタルΣ-Δ変調器の構成例を示す内部の構成図。

【図8】加入者回路の従来例を示す構成図。

【図9】図8に示すSLICの内部の構成図。

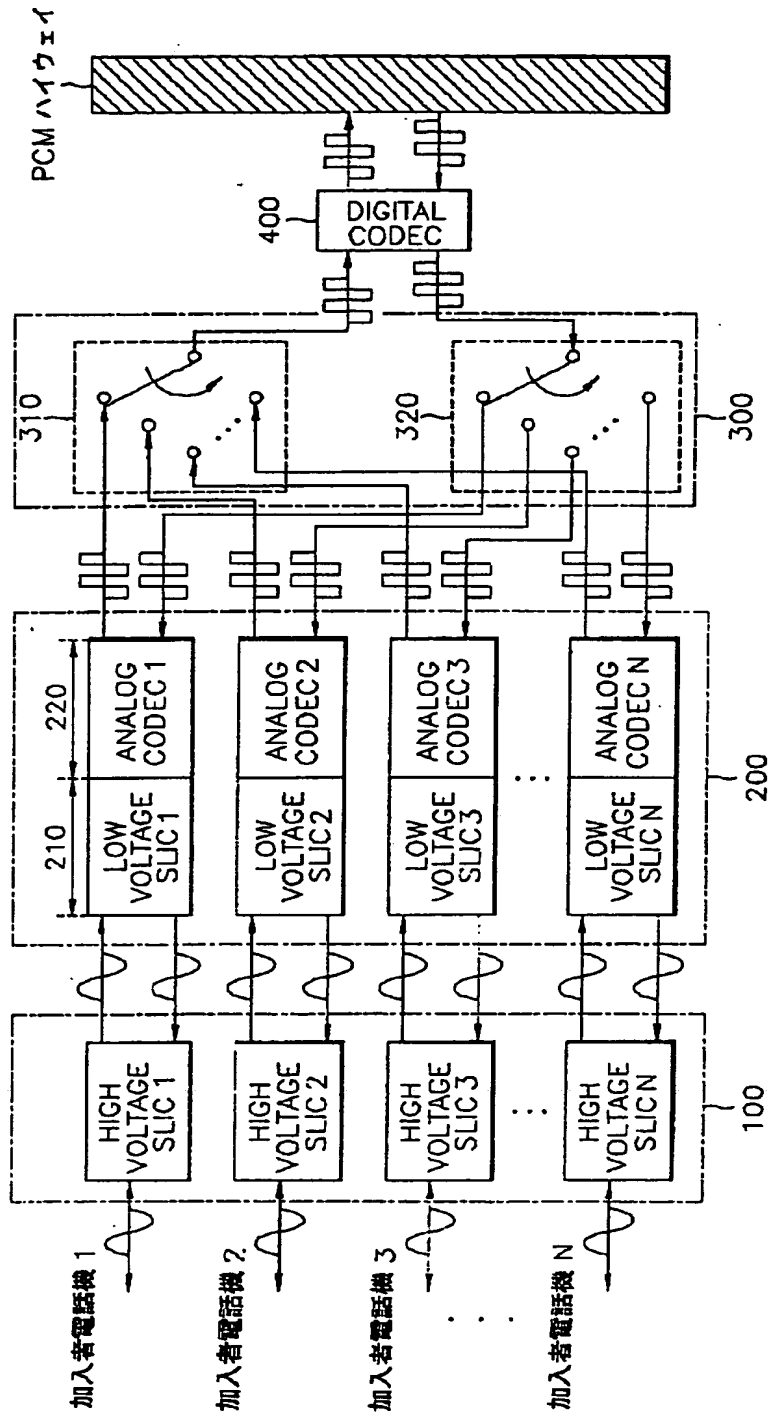
【符号の説明】

- 100 高電圧SLIC部
- 200 低電圧動作部
- 210 低電圧SLIC部
- 220 アナログコーデック
- 221 アンチエイリアシングフィルタ
- 222 アナログΣ-Δ変調器
- 223 平滑フィルタ
- 231、232 積分器
- 233 比較器
- 251 A/D変換部
- 252 D/A変換部
- 300 集線部
- 310 マルチプレクサ部
- 320 デマルチプレクサ部
- 400 デジタルコーデック
- 401 デシメータ
- 402 送信フィルタ
- 403 圧縮器
- 411 伸張器
- 412 受信フィルタ
- 413 補間器
- 414 デジタルΣ-Δ変調器
- 421 バランスフィルタ

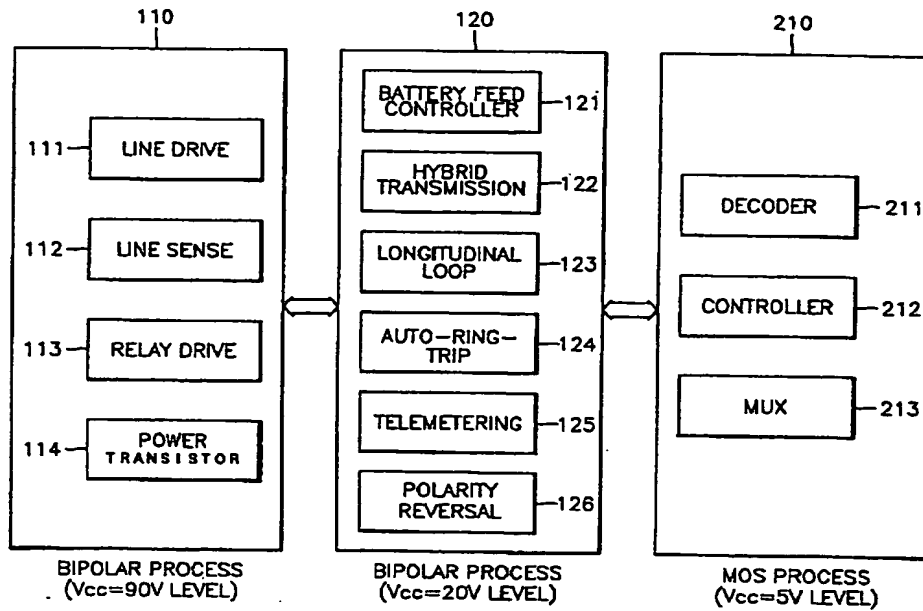
4 2 2 減算器  
4 5 1 符号化部

4 5 2 復号部

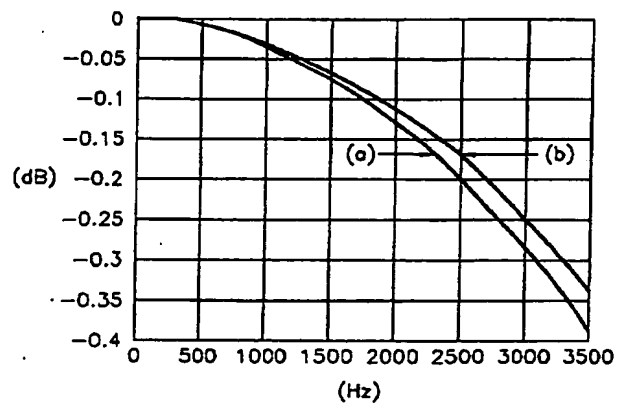
【図 1】



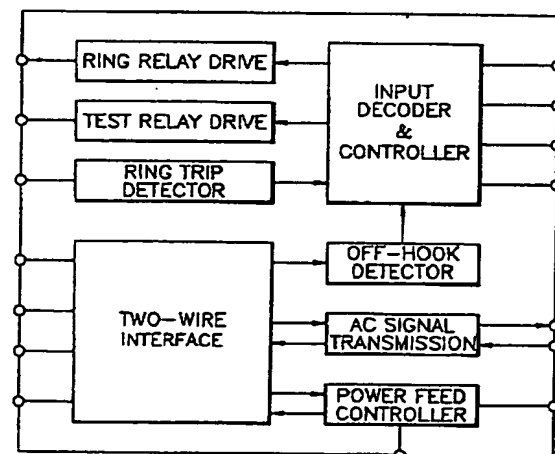
【図 2】



【図 6】

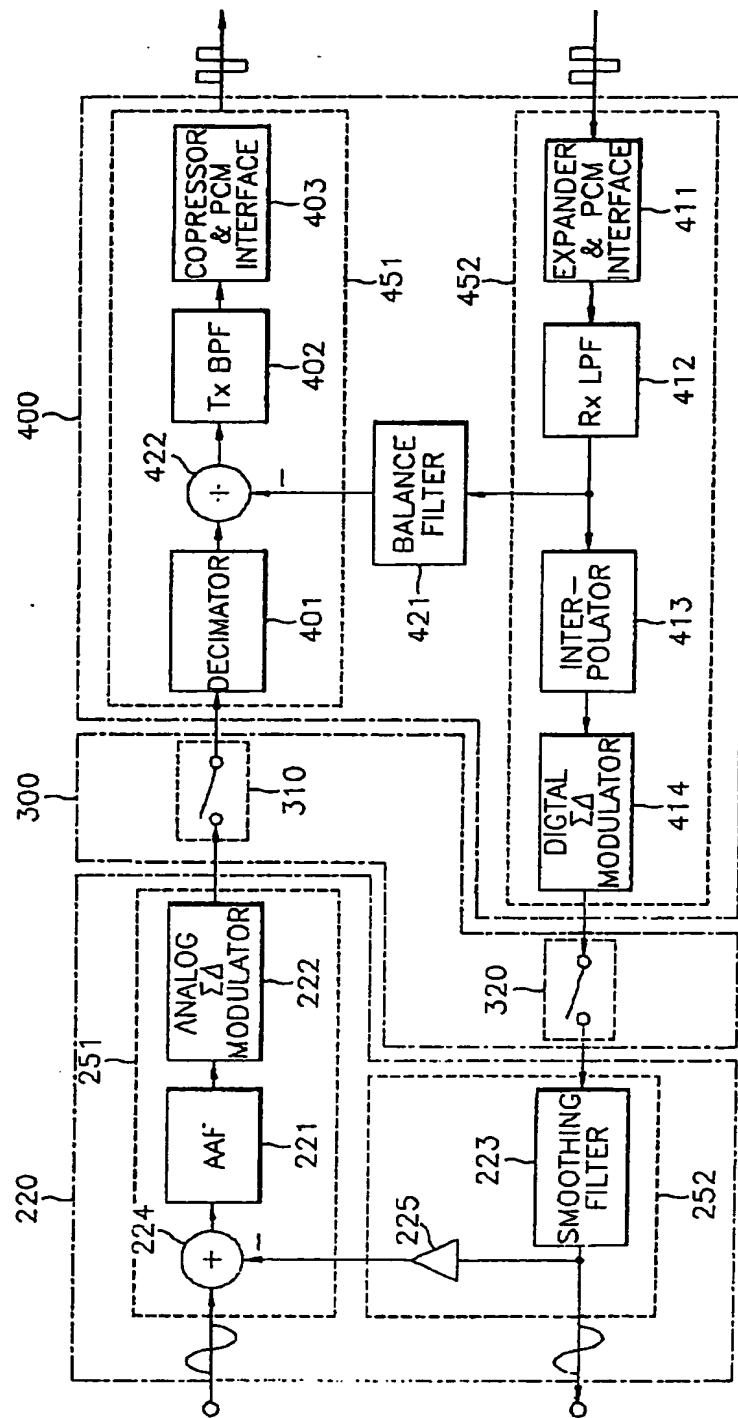


【図 9】

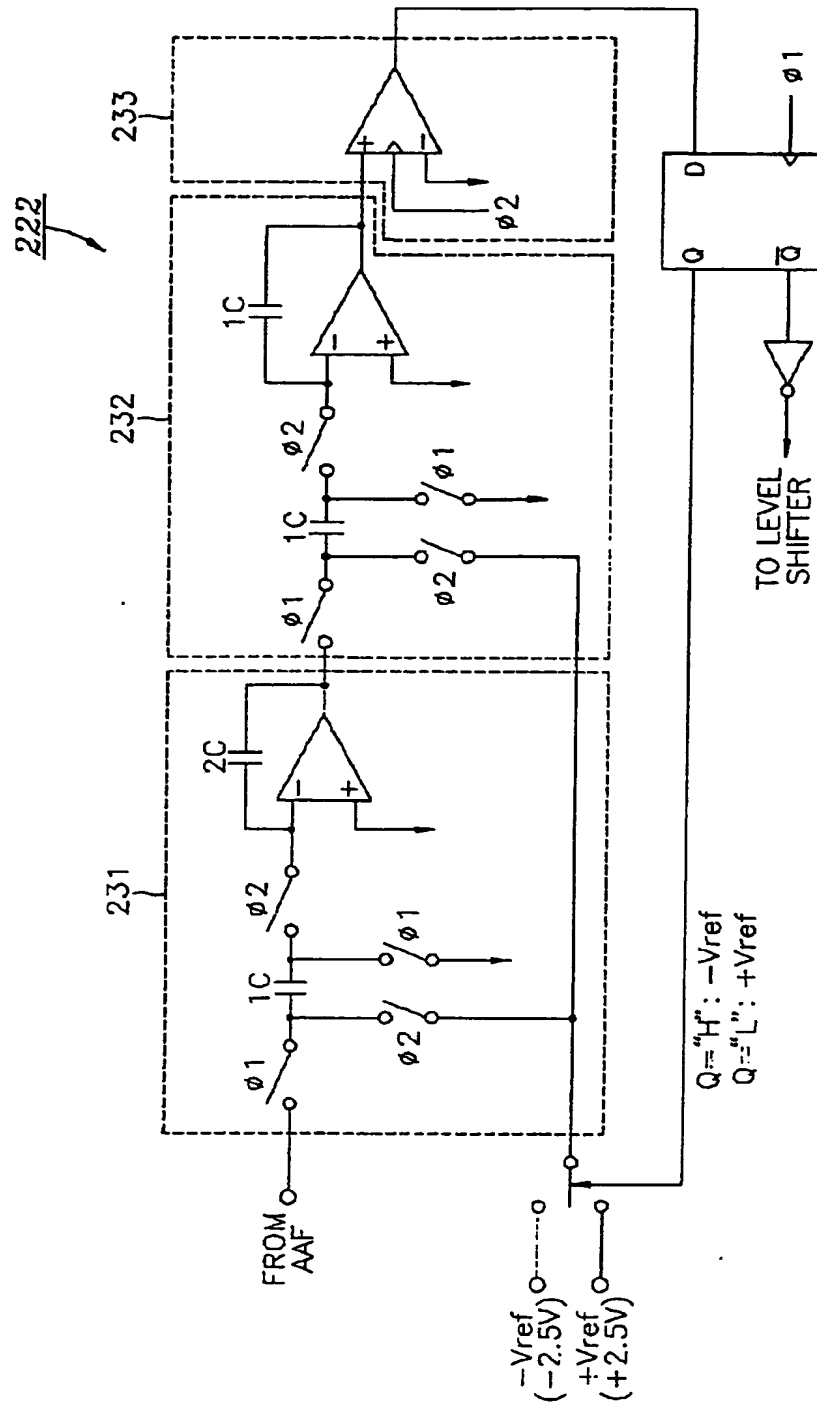




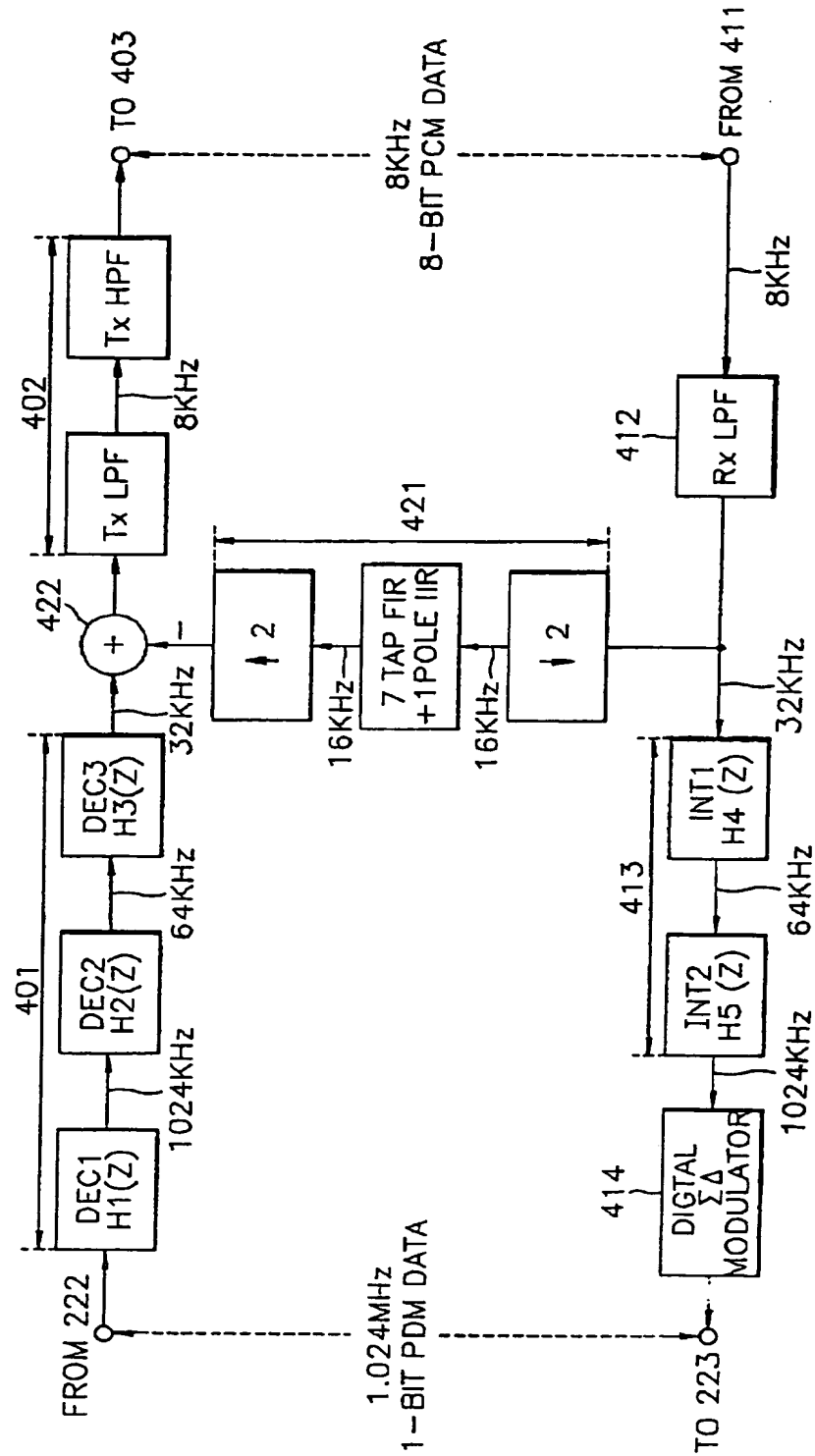
【図 3】



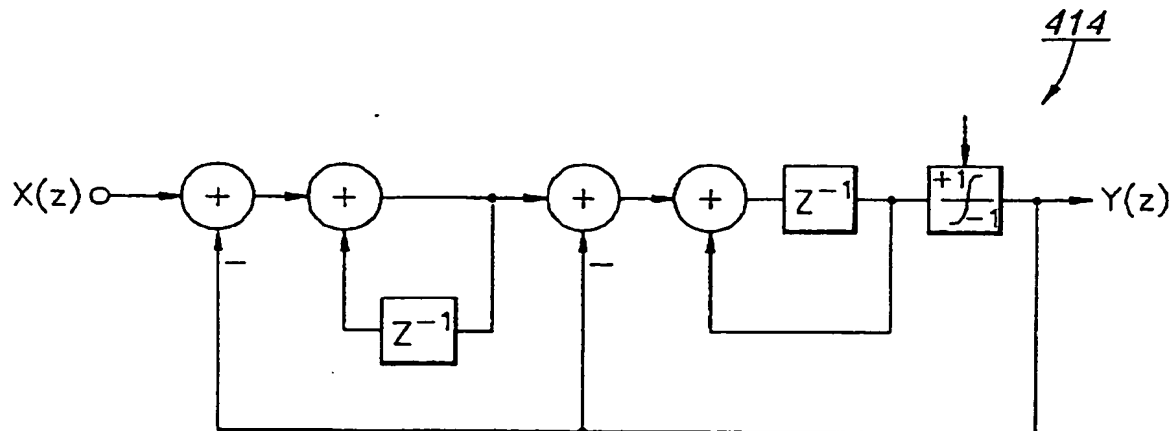
【図 4】



【図 5】



【図 7】



【図 8】

